

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Mayumi Ishizaki, et al.

Application No.: N/A

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: VOLTAGE STANDARD DEVICE

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

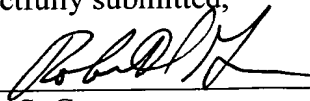
<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-333100	November 18, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 18-0013, under Order No. AIS-004 from which the undersigned is authorized to draw.

Dated: November 18, 2003

Respectfully submitted,

By 

Robert S. Green

Registration No.: 41,800

RADER, FISHMAN & GRAUER PLLC

1233 20th Street, N.W.

Suite 501

Washington, DC 20036

(202) 955-3750

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月18日

出 願 番 号

Application Number:

特願2002-333100

[ST.10/C]:

[JP2002-333100]

出 願 人

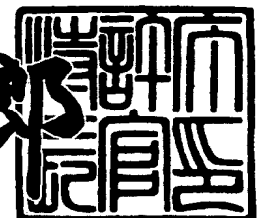
Applicant(s):

独立行政法人産業技術総合研究所

2003年 5月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3031555

【書類名】 特許願

【整理番号】 329-02399

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/66

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 石崎 真弓

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 山森 弘毅

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 東海林 彰

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

 【代表者】 吉川 弘之

 【電話番号】 0298-61-3280

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧標準装置

【特許請求の範囲】

【請求項 1】 バイアス電流とマイクロ波の印加により一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成される電圧標準素子を用いる電圧標準装置であって、

前記ジョセフソン接合アレーの直列接続のジョセフソン接合を 3 の冪乗個の個数で区切った区間ごとに設けたバイアス電流端子を有する電圧標準素子と、

前記バイアス電流端子に対してそれぞれの区間ごとに独立した所定値のバイアス電流を印加するバイアス電流供給回路と、

前記バイアス電流供給回路を制御して各区間のジョセフソン接合アレーに所定値のバイアス電流を印加すると共にマイクロ波の印加を制御する制御回路とを備えることを特徴とする電圧標準装置。

【請求項 2】 請求項 1 に記載の電圧標準装置において、

前記制御回路は 2 進コードを 3 進コードに変換するコード変換装置を備え、

前記コード変換装置によって 2 進コードにより前記制御装置が制御されることを特徴とする電圧標準装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バイアス電流とマイクロ波の印加により一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成される電圧標準素子を用いる電圧標準装置に関する。

【0002】

【従来の技術】

ジョセフソン接合の多数個を直列接続したジョセフソン接合アレーを用いて、最大出力電圧の範囲内で任意の電圧を高速に出力する 2 進コード列によるジョセフソン接合を用いたプログラマブル電圧標準素子が開発されたことが、報告されている（非特許文献 1）。

【非特許文献 1】

C. A. Hamilton, C. J. Burroughs, and R. J. Kauts; "Josephson D/A Converter with Fundamental Accuracy" IEEE Transaction. Instrumentation and Measurement, Vol. 44, No. 2, pp. 223-225, April 1995.

【0003】

図4は、従来のジョセフソン接合の多数個を直列接続したジョセフソン接合アレーによるプログラマブル電圧標準素子の構成を説明する図である。図4に示すように、原理的には、ジョセフソン接合がバイアス電流とマイクロ波の印加により一定電圧を発生するので、そのジョセフソン接合アレーの発生電圧のオンオフを制御することによって、プログラマブルに希望する電圧を発生させる。そのために、

(a) 多数個の直列接続されたジョセフソン接合を2進数区切り（2の冪乗での区切り）による区間1, 2, 3, 4, …に分けて、

(b) 区間ごとにバイアス電流を流すための複数の端子6を設け、

(c) この端子6からそれぞれの区間ごとに独立した、正または零、あるいは、負または零の組み合わせのバイアス電流を印加して、

(d) 全区間について正のバイアス電流を印加したときの正の最大出力電圧値から、全区間について負のバイアス電流を印加したときの負の最大出力電圧値までの間の任意の出力電圧を、2進数で区切った最小の接合数のジョセフソン接合アレーの出力電圧を最小分解能として出力する。

なお、図4において、5はマイクロ波を印加するためのマイクロ波入力端子、7はマイクロ波の印加のためのマイクロ波終端抵抗、8は出力電圧を得るための出力電圧端子である。また、マイクロ波を印加するための交流回路と、バイアス電流を印加するための直流回路とを分離するためキャパシタンス、ローパスフィルタ等が設けられるが、ここでは図示されていない。

【0004】

このプログラマブル電圧標準素子は、回路を構成するチップ内に多数個の直接接続したジョセフソン接合、電気信号配線、外部入出力用の端子など作成して、集積化してプログラマブル電圧標準素子が作成される。その場合に、集積化する

回路を形成するチップ内で多くの面積を消費してしまう信号配線、端子などをできるだけ少なく押さえて、直列接続するジョセフソン接合を多数個を形成する必要がある。

【0005】

プログラマブル電圧標準素子では、『ジョセフソン接合の両電極に周波数 f のマイクロ波を加えると、一定の電圧 $V = f (h / 2e)$ の間隔でステップ電流が現れる。ここで、 h はプランク定数、 e は単位電荷定数である』という性質を利用して一定電圧を発生させる。このため、標準電圧とする例えば 1 ボルトを発生させるためには、チップ内に集積するジョセフソン接合数は非常に多くなる。マイクロ波は、扱いやすさから例えば $f = 16 \text{ GHz}$ 前後の値を用いるとすると、ジョセフソン接合の 1 つあたりに発生する電圧は約 $33 \mu\text{V}$ となり、1 ボルトの出力電圧を得るには、約 3 万個の接合を必要とする。具体的には、例えば、全体を 8 ビットの電圧分解能でプログラマブルに電圧を発生させるとして、最小ビットの電圧を発生させる接合単位を 128 個の接合で構成すると、ジョセフソン接合の全体の接合数は 32,768 個となる。

【0006】

図 5 は、2 進コードによるジョセフソン接合アレーのプログラマブル電圧標準素子の構成を説明する図である。既に開発されて、実用に供されている 1 ボルト電圧出力チップのプログラマブル電圧標準素子を例にして説明すると、図 5 に示すように、最小ビットの電圧を発生する区切りの区間は、ジョセフソン接合の接合数が 1 個ではなく、その区切り区間の接合数が 128 個となっており、最小の区切り区間では約 4 mV を出力するように構成されたものとなっている。チップ内で面積を多く消費してしまう配線のための端子数は、マイクロ波を入力するための端子を含めて 9 本となっており、8 ビット構成となっている。

【0007】

プログラマブル電圧標準素子において、例えば、出力電圧の分解能を高めるためには、配線のための端子数を多く必要とするが、チップ内で多くの面積を消費してしまうので実用的ではない。このため、従来におけるプログラマブル電圧標準素子は、出力電圧の分解能が低いものとなっていた。

【 0 0 0 8 】

【発明が解決しようとする課題】

このため、例えば、10ボルトの出力電圧を得る電圧標準素子を開発する場合には、多数のジョセフソン接合を直列接続する大規模なジョセフソン接合アレーを集積化して、チップ内に多くのジョセフソン接合を作成する。このため、チップ面積の多くをジョセフソン接合アレーのために割り当て、多くのチップ面積を消費する端子の数を少なく抑えることが必要である。このように、プログラマブル電圧標準素子を作成する場合に、端子の数を増やすことなく分解能を上げることができれば、実用化にあたって優位な点となる。

【 0 0 0 9 】

本発明は、上記のような課題を解決するためになされたものであり、本発明の目的は、バイアス電流とマイクロ波の印加により一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成されるプログラマブル電圧標準素子において端子数を減らして、出力電圧分解能の高い電圧標準装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記のような目的を達成するため、本発明による電圧標準装置は、バイアス電流とマイクロ波の印加により一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成される電圧標準素子を用いる電圧標準装置であって、前記ジョセフソン接合アレーの直列接続のジョセフソン接合を3の冪乗個の個数で区切った区間ごとに設けたバイアス電流端子を有する電圧標準素子と、前記バイアス電流端子に対してそれぞれの区間ごとに独立した所定値のバイアス電流を印加するバイアス電流供給回路と、前記バイアス電流供給回路を制御して各区間のジョセフソン接合アレーに所定値のバイアス電流を印加すると共にマイクロ波の印加を制御する制御回路とを備えることを特徴とする。

【 0 0 1 1 】

また、本発明による電圧標準装置は、上記の構成に加えて、前記制御回路は2進コードを3進コードに変換するコード変換装置を備え、前記コード変換装置に

よって2進コードにより前記制御装置が制御されることを特徴とする。

【0012】

このような特徴を有する本発明の電圧標準装置によれば、電圧を発生させるプログラマブル電圧標準素子は、ジョセフソン接合アレーの直列接続のジョセフソン接合を3の冪乗個の個数で区切った区間ごとに設けたバイアス電流端子を有する電圧標準素子とされ、バイアス電流供給回路が、バイアス電流端子に対してそれぞれの区間ごとに独立した所定値のバイアス電流を印加するものとされ、制御回路が、バイアス電流供給回路を制御して各区間のジョセフソン接合アレーに所定値のバイアス電流を印加すると共にマイクロ波の印加を制御するように構成される。これにより、制御回路の制御によって3進デジタルコードに対応してプログラムされた標準電圧を発生することができるものとなる。

【0013】

従来の電圧標準装置に用いられるジョセフソン接合アレーによるプログラマブル電圧標準素子は、2進デジタルコードに対応しており、ジョセフソン接合によるデジタル・アナログ変換のための端子数が、2進デジタルコードで区切られた接合数のアレーの区切り区間の対応の数となっている。このため、電圧分解能については、その端子数と2進デジタルコードにより決まるものとなっている。これは、プログラマブル電圧標準素子に印加するバイアス電流が、正または零のみの2種類の組み合わせ、あるいは負または零のみの2種類の組み合わせによって印加される構成としているためである。

【0014】

本発明による電圧標準装置では、ジョセフソン接合アレーによるプログラマブル電圧標準素子のバイアス電流端子から印加するバイアス電流を所定値とし、所定の三種類の組み合わせ（例えば、正、零および負など）により印加することにして、2進デジタルコードの代わりに3進デジタルコードを用いるようにする。このため、ジョセフソン接合アレーによるプログラマブル電圧標準素子としては、ジョセフソン接合アレーの直列接続のジョセフソン接合を3の冪乗個の個数で区切った区間ごとにバイアス電流端子を設けるものとしている。これにより、少ないバイアス電流端子にもかかわらず、高い電圧分解能が得られる。

【 0 0 1 5 】

また、2進デジタルコードによりプログラムされた標準電圧を発生させる場合に対応して、制御回路は、2進コードを3進コードに変換するコード変換装置を備えており、コード変換装置によって2進コードから3進コードに変換することにより、2進デジタルコードによりプログラムされた標準電圧を発生させることもできる。このように、デジタル・アナログ変換を行うチップ内の端子数を増やさずに出力電圧の分解能を上げることができるので、高い分解能を持つ電圧標準装置が提供できる。

【 0 0 1 6 】

【発明の実施の形態】

以下、本発明を実施する場合の形態について、図面を参照して説明する。図1は、本発明の一実施例にかかる電圧標準装置の主要部の構成を示すブロック図である。図1において、100は制御回路、101はバイアス電流供給回路、102はジョセフソン接合アレーによるプログラマブル電圧標準素子、103はコード変換回路である。

【 0 0 1 7 】

電圧標準装置は、図1に示すように、ジョセフソン接合アレーによるプログラマブル電圧標準素子102、バイアス電流供給回路101、制御回路100から構成される。プログラマブル電圧標準素子102は、後述するように、ジョセフソン接合アレーの直列接続のジョセフソン接合を3の冪乗個の個数で区切った区間ごとに設けたバイアス電流端子を有するように構成されたものである。バイアス電流供給回路101は、プログラマブル電圧標準素子102のバイアス電流端子に対して、それぞれの区間ごとに独立して、所定値のバイアス電流を印加する。これにより、それぞれの区間ごとに独立して3進コードに対応する所定の一定電圧を発生させる。このため、制御回路100は、プログラマブル電圧標準素子102に印加するマイクロ波の印加を制御すると共に、バイアス電流供給回路101を制御して、3進コードに対応してそれぞれの区間ごとに独立してジョセフソン接合アレーに所定値のバイアス電流を印加するように制御する。また、制御回路100は、コード変換回路103を含んでおり、コード変換装置103によ

って2進コードを3進コードに変換して、バイアス電流供給回路101のバイアス電流を制御する。

【0018】

本実施例の電圧標準装置では、このように、3進コードに対応する所定の一定電圧を発生させるため、バイアス電流とマイクロ波の印加により制御されて一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成される電圧標準素子を用いるが、次に、このような電圧標準素子の構造について説明する。

【0019】

図2は、3進コードによるジョセフソン接合アレーのプログラマブル電圧標準素子の構成を説明する図である。図2を参照する。本発明の一実施例で用いるジョセフソン接合の多数個を直列接続したジョセフソン接合アレーによるプログラマブル電圧標準素子の構成は、図2に示すように、

(a) 多数の直接接続したジョセフソン接合の接合アレーは、3進数(3の冪乗の数)の区切りで各区間15, 16, …等に分け、

(b) 区間ごとにバイアス電流用のバイアス電流端子18を設けて、

(c) このバイアス電流端子18からそれぞれの区間ごとに独立した所定値のバイアス電流を印加できるようにする。これにより、それぞれの区間ごとに流すバイアス電流に応じて3進コードに対応する一定電圧を発生させる。

(d) このため、全区間に正のバイアス電流を印加したときの正の最大出力電圧値から、全区間に負のバイアス電流を印加したときの負の最大出力電圧値までの間の任意の出力電圧を、最小分解能として3進コードで区切った最小の接合数による接合アレーの電圧を出力することができる。また、図2において、17はマイクロ波を印加するためのマイクロ波入力端子、19はマイクロ波の印加のためのマイクロ波終端抵抗、20は出力電圧を得るための出力電圧端子である。マイクロ波を印加するための交流回路と、バイアス電流を印加するための直流回路とを分離するためキャパシタンス、ローパスフィルタ等が設けられるが、ここでは図示されていない。

【0020】

原理的には、前述したように、『ジョセフソン接合の両電極に周波数 f のマイクロ波を加えると、一定の電圧 $V = f (h / 2e)$ の間隔でステップ電流が現れる (h はプランク定数、 e は単位電荷定数である)』という性質を利用して一定電圧を発生させる。つまり、ジョセフソン接合にマイクロ波を加えて、バイアス電流を制御することで、ステップ電流を変えて各区切り区間において「一定電圧 $V_n = n N f (h / 2e)$ が発生する (n は整数、 N は接合数)」ことを利用するものである。ここでは、3進コードによるバイアス電流の制御により、 $n = 0$ 、 $n = 1$ 、 $n = -1$ の3値となる一定電圧 V_n (V_0 、 V_1 、 V_{-1}) を発生させるものである。これらの各区切り区間における一定電圧 V_n の組み合わせを足したものの電圧標準素子の出力電圧となる。

【0021】

このように、本実施例にかかる電圧標準装置によれば、プログラマブル電圧標準素子の接合アレーの各区間を3進コードの数 (3の冪乗の数) で区切った各区間とし、それぞれの区間で独立してバイアス電流を印加する構成とすることで、同じ分解能を保ちながら、バイアス電流印加のための端子数を減少させて大規模集積化できるようになる。また、従来と同じ端子数で構成した場合には、電圧分解能が格段に向上する。例えば、10ビットによりデジタル・アナログ変換する構成とする場合を例として比較すると、図3に示すように、電圧分解能が格段に向上する。

【0022】

図3は、本発明による3進コードに対応する接合アレーを有するデジタル・アナログ変換器の分解能と、従来の2進コード接合に対応するアレーを有するデジタル・アナログ変換器の分解能との比較のための図である。図3において、21は2進コードによる最小ビットの出力電圧 (分解能) であり、22は3進コードによる最小ビットの出力電圧 (分解能) である。

【0023】

前述したように、約1ボルトの出力電圧を発生させるプログラマブル電圧標準素子は、32768個のジョセフソン接合を用いて構成されるものとなるので、これを10ビットの2進コードによるプログラマブル電圧標準素子として構成す

ると、区切りの区間は 10 個の区間となり、各区間の接合数がそれぞれ 32 個、64 個、128 個、256 個、512 個、1024 個、2048 個、4096 個、8192 個、16382 個となる。これにより、全接合数 32768 個、最小ビットの出力電圧すなわち分解能は、最小区間のジョセフソン接合が 32 個分の約 1 mV の出力電圧 (21 ; 図 3) となる。

【0024】

また、本発明による約 1 ボルトの出力電圧を発生させるプログラマブル電圧標準素子では、3 進コードに対応したプログラマブル電圧標準素子となるので、区切りの区間は 10 個の区間となり、各区間の接合数がそれぞれ 1 個、3 個、9 個、27 個、81 個、243 個、729 個、2187 個、6561 個、19683 個となる。このような構成によると、全接合数 29524 個、最小ビットの出力電圧すなわち分解能は、最小区間のジョセフソン接合が 1 個分の約 $33 \mu\text{V}$ の出力電圧 (22 ; 図 3) となる。

【0025】

以上、説明したように、本発明の電圧標準装置によれば、分解能を同じに保ったまま、デジタル・アナログ変換を行うチップ内の端子の数を減らすことができ、または端子数を増やさずにデジタル・アナログ変換器の出力電圧の分解能を上げることが可能となる。また、本発明の電圧標準装置によると、高い分解能を持つ高精度電圧の発生が可能となり、産業界への大きな寄与が期待できる。

【図面の簡単な説明】

【図 1】 本発明の一実施例にかかる電圧標準装置の主要部の構成を示すブロック図である。

【図 2】 3 進コードによるジョセフソン接合アレーのプログラマブル電圧標準素子の構成を説明する図である。

【図 3】 本発明による 3 進コードに対応する接合アレーを有するデジタル・アナログ変換器の分解能と、従来の 2 進コードに対応する接合アレーを有するデジタル・アナログ変換器の分解能との比較のための図である。

【図 4】 従来のジョセフソン接合の多数個を直列接続したジョセフソン接合アレーによるプログラマブル電圧標準素子の構成を説明する図である。

【図 5】 2進コードによるジョセフソン接合アレーのプログラマブル電圧標準素子の構成を説明する図である。

【符号の説明】

1 ～ 4 区切り区間

5 マイクロ波入力端子

6 バイアス電流入力端子

7 マイクロ波終端抵抗

8 出力電圧端子

9 ～ 1 0 区切り区間

1 1 マイクロ波入力端子

1 2 バイアス電流入力端子

1 3 マイクロ波終端抵抗

1 4 出力電圧端子

1 5 ～ 1 6 区切り区間

1 7 マイクロ波入力端子

1 8 バイアス電流入力端子

1 9 マイクロ波終端抵抗

2 0 出力電圧端子

1 0 0 制御回路

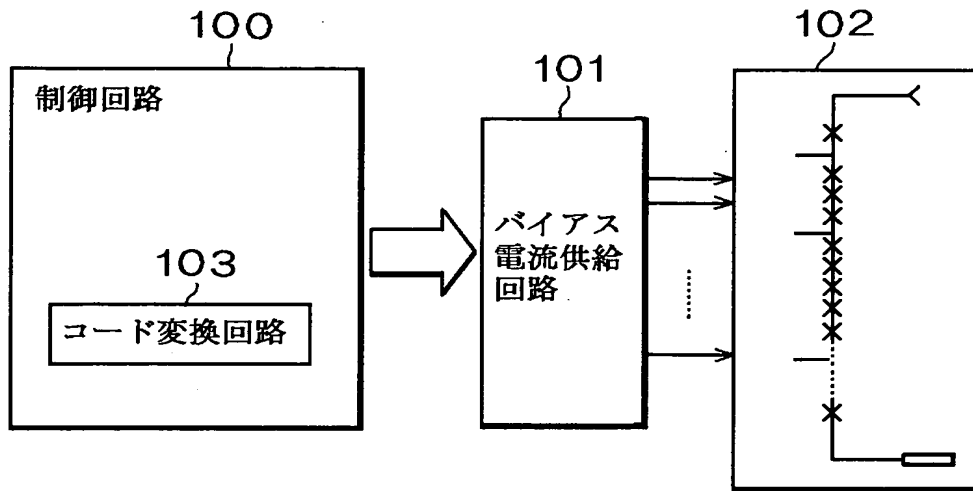
1 0 1 バイアス電流供給回路

1 0 2 プログラマブル電圧標準素子

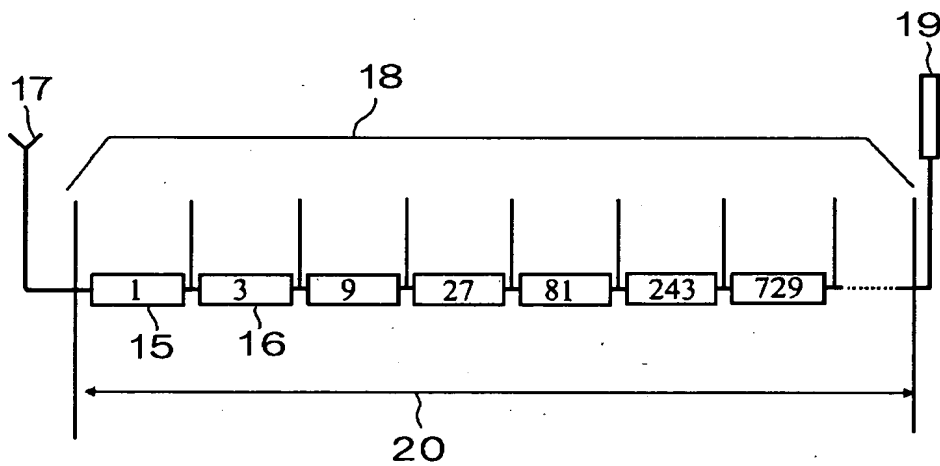
1 0 3 コード変換回路

【書類名】 図面

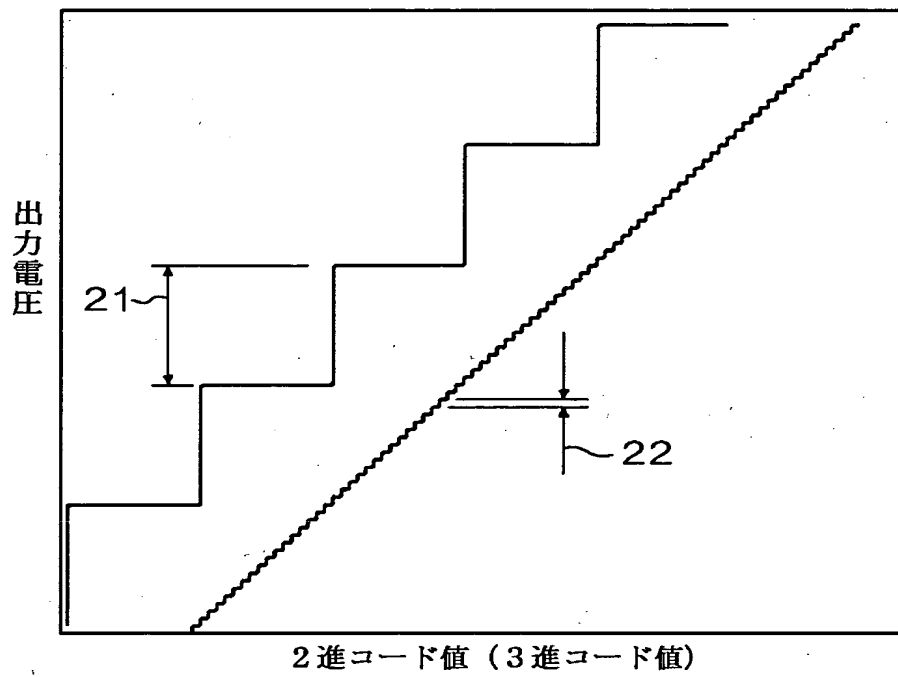
【図 1】



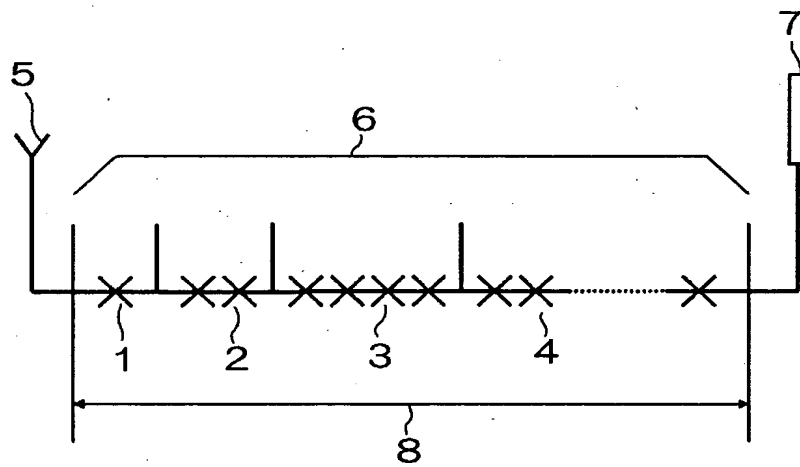
【図 2】



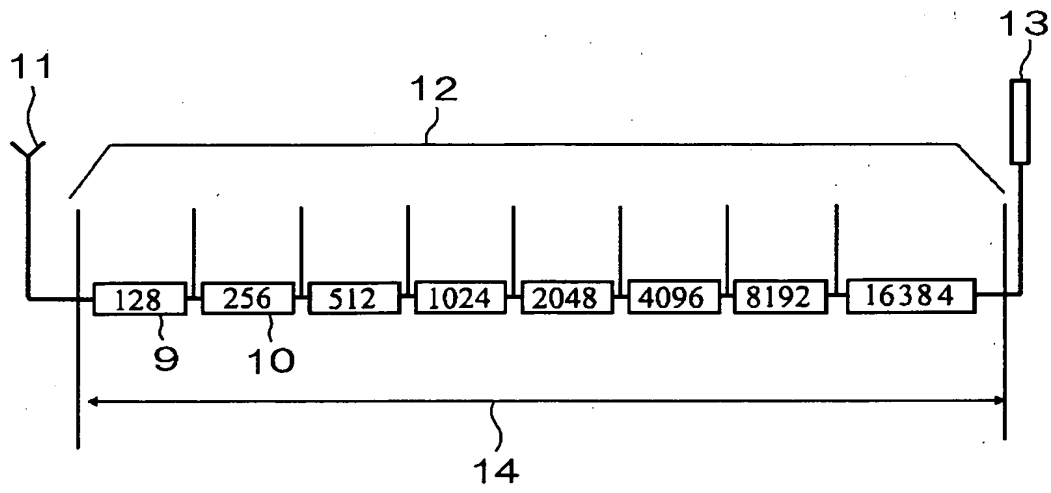
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 バイアス電流とマイクロ波の印加により一定電圧を発生するジョセフソン接合の多数個を直列接続したジョセフソン接合アレーで構成されるプログラマブル電圧標準素子において端子数を減らして、出力電圧分解能の高い電圧標準装置を提供する。

【解決手段】 電圧標準装置は、ジョセフソン接合アレーの直列接続のジョセフソン接合を3の冪乗個の個数で区切った区間ごとに設けたバイアス電流端子を有する電圧標準素子と、バイアス電流端子に対してそれぞれの区間ごとに独立した所定値のバイアス電流を印加するバイアス電流供給回路と、バイアス電流供給回路を制御して各区間のジョセフソン接合アレーに所定値のバイアス電流を印加すると共にマイクロ波の印加を制御する制御回路を備える。

【選択図】 図1

特 2002-333100

認定・付加情報

特許出願の番号	特願2002-333100
受付番号	50201734952
書類名	特許願
担当官	第八担当上席 0097
作成日	平成14年11月19日

<認定情報・付加情報>

【提出日】 平成14年11月18日

次頁無

出 願 人 履 歴 情 報

識別番号 [301021533]

1. 変更年月日	2001年 4月 2日
[変更理由]	新規登録
住 所	東京都千代田区霞が関1-3-1
氏 名	独立行政法人産業技術総合研究所